

DIALOG(R)File 352:Derwent WPI
(c) 2004 Thomson Derwent. All rts. reserv.

007701620 **Image available**

WPI Acc No: 1988-335552/198847

**Forming thin-film transistor on insulator - by annealing semiconductor
film in oxygen atmos. and depositing gate insulation film NoAbstract Dwg
2/3**

Patent Assignee: SEIKO DENSHI KOGYO KK (DASE)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 63250178	A	19881018	JP 8785378	A	19870407	198847 B

Priority Applications (No Type Date): JP 8785378 A 19870407

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
JP 63250178	A		4		

Title Terms: FORMING; THIN; FILM; TRANSISTOR; INSULATE; ANNEAL;
SEMICONDUCTOR; FILM; OXYGEN; ATMOSPHERE; DEPOSIT; GATE; INSULATE;
FILM;

NOABSTRACT

Derwent Class: L03; U11; U12

International Patent Class (Additional): H01L-021/20; H01L-027/12;

H01L-029/78

File Segment: CPI; EPI

DIALOG(R)File 347:JAPIO
(c) 2004 JPO & JAPIO. All rts. reserv.

02633278 **Image available**

MANUFACTURE OF THIN FILM SEMICONDUCTOR DEVICE

PUB. NO.: 63-250178 [JP 63250178 A]
PUBLISHED: October 18, 1988 (19881018)
INVENTOR(s): SHIMIZU NOBUHIRO
APPLICANT(s): SEIKO INSTR & ELECTRONICS LTD [000232] (A Japanese Company or Corporation), JP (Japan)
APPL. NO.: 62-085378 [JP 8785378]
FILED: April 07, 1987 (19870407)
INTL CLASS: [4] H01L-029/78; H01L-021/20; H01L-021/263; H01L-027/12
JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)
JAPIO KEYWORD: R096 (ELECTRONIC MATERIALS -- Glass Conductors); R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors, MOS)
JOURNAL: Section: E, Section No. 715, Vol. 13, No. 62, Pg. 44, February 13, 1989 (19890213)

ABSTRACT

PURPOSE: To improve an interface between a gate insulating film and a recrystallization semiconductor film and besides to improve a flat band voltage, by performing an annealing process in an atmosphere of oxygen before piling a gate insulating film.

CONSTITUTION: A semiconductor film 2 is piled on an insulating substrate 1 and annealed with beam energy 3. In succession, a low resistance semiconductor film 4 of 0.1 .omega.cm or less in specific resistance is piled on a recrystallization semiconductor film 21, and only the low resistance semiconductor film 4 on source and drain regions is made to remain and activated by a beam annealing method. when a N channel TFT is manufactured, N type impurities are added. When a P channel TFT is manufactured, P type impurities are added. Thereafter photo-lithography is used to etch the recrystallization semiconductor film 21 and then to perform element isolation and next annealing is performed in an atmosphere of oxygen 5. This oxygen annealing may be performed at 400 deg.C to 600 deg.C for thirty minutes or more. A surface of a channel part in the recrystallization semiconductor film 21 is thus oxidized thinly, so that an interface of the channel part can be improved.

BEST AVAILABLE COPY

⑨ 日本国特許庁(JP) ⑩ 特許出願公開
⑪ 公開特許公報(A) 昭63-250178

⑫ Int. Cl.⁴ 識別記号 庁内整理番号 ⑬ 公開 昭和63年(1988)10月18日
H 01 L 29/78 3 1 1 F-8422-5F
21/20 7739-5F
21/263
27/12 7514-5F 審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 薄膜半導体装置の製造方法

⑮ 特 願 昭62-85378

⑯ 出 願 昭62(1987)4月7日

⑰ 発 明 者 清水 信 宏 東京都江東区亀戸6丁目31番1号 セイコー電子工業株式
会社内

⑱ 出 願 人 セイコー電子工業株式 東京都江東区亀戸6丁目31番1号
会社

⑲ 代 理 人 弁理士 最 上 務 外1名

明 細 書

ン電極を製作する工程。

1. 発明の名称

薄膜半導体装置の製造方法

2. 特許請求の範囲

次の(4)~(4)からなる薄膜半導体装置の製造方法。

(4) 絶縁基板上に、非晶質または多結晶の半導体膜を堆積した後、ビームエネルギーで前記半導体膜をアニールして、再結晶半導体膜にする工程。

(4) 前記再結晶半導体膜上に、比抵抗 $0.1 \Omega \text{cm}$ 以下の低抵抗半導体膜を堆積して、ソースとドレイン領域のみ残して、施をエッチングした後、ビームエネルギーにより、前記低抵抗半導体膜を活性化して、さらに低抵抗にする工程。

(4) 電子を分離するために、前記再結晶半導体膜を島状にエッチングして、酸素雰囲気中で 400°C ~ 600°C で30分以上アニールする工程。

(4) 前記酸素アニール後、ゲート絶縁膜を堆積した後、ソースとドレイン領域に、コンタクトホールを形成して、ゲート電極、ソース電極、ドレイ

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、絶縁物上に薄膜トランジスタ(TFT)を製作する方法に関する。

(発明の概要)

本発明は、絶縁物上にTFTをビームアニールにより製作する工程において、ゲート絶縁膜堆積前に、酸素雰囲気中でアニールをすることにより、フラットバンド電圧(V_{fb})を改善できるようにしたものである。

(従来の技術)

従来、ゲート絶縁膜堆積前に酸素雰囲気中でアニールを行わなかった。

(発明が解決しようとする問題点)

第3図(4)の1. -V_g特性に示すように、従来の方法では、 $V_{fb} < 0$ となり $V_{g} = 0$ でのリーク電流が大きくなってしまふ。

(作用)

特開昭63-250178(2)

ゲート絶縁膜堆積前に、酸素雰囲気中でアニールすることにより、ゲート絶縁膜と再結晶半導体膜との界面が改善され、 V_{th} も改善される。

(実施例)

以下、図面によって本発明を説明する。第1図(4)は、本発明の第1実施例の工程を説明するための断面図である。

第1図(4)は絶縁基板1上に半導体膜2を増設し、ビームエネルギー3でアニールする工程である。絶縁基板1の例としては、石英や無アルカリガラスやアルカリなどの不純物を含んだガラスの表面に絶縁物をコートしてガラスからの不純物の拡散を防止したものなどがある。ここでは、550℃のプロセスが使用可能な無アルカリガラス基板を使用する。次に半導体膜2の例は、多量の酸と多数の堆積方法があるが、ここではアモルファスシリコン(α-Si)をプラズマCVD法で堆積する方法について説明する。堆積温度は、室温から約400℃の間に設定し、原料ガスは主にシラン(SiH_4)やジシラン(Si_2H_6)又は、ジボラン

(B_2H_6)を0.5ppmから5ppmドープしたガスを使用する。又、膜厚は1000Åから3000Åの間に設定するが、ここでは2700Åにする。

次に半導体膜2をビームエネルギー3でアニールする例について説明する。アニール方法には、レーザや電子ビーム又はランプやヒータなどを用いた多数のエネルギー源があるが、ここではArレーザを使用してアニールする方法を述べる。

一般にプラズマCVD法により堆積したα-Siには膜中に水素ガスが含まれているため、このガスを除去するプレアニールを行うことで後述の再結晶アニール後の結晶性が良くなる。プレアニール方法はα-Si中の水素ガスが約500℃以上で除去できることが知られており、この温度以上まで上昇できるアニール方法であればどの方法でも可能である。例としては真空または窒素や不活性ガス雰囲気中で、α-Siが熔融しない程度のエネルギー密度でArレーザのビームエネルギー3を走査させて行うことができる。又、窒素雰囲気中で550℃、1時間行っても十分である。続いて

再結晶アニールを行う。前記プレアニールと同様に、真空または窒素や不活性ガス雰囲気中でArレーザを使って、水素を除去したα-Siが熔融するエネルギー密度でビームエネルギー3を走査させる。この結果、半導体膜2は結晶化して再結晶半導体膜21となる。

第1図(4)は、再結晶半導体膜21上に、比抵抗 $0.1\Omega\text{cm}$ 以下の低抵抗半導体膜4を増設して、ソースとドレイン領域の低抵抗半導体膜4のみをエッチングで残し、ビームアニールにより活性化する工程である。低抵抗半導体膜4の例は、NチャネルTFTを製作する場合には、N型の不純物を添加して、PチャネルTFTを製作する場合には、P型の不純物を添加する。ここではNチャネルTFTについて説明する。堆積方法は、各種CVD法、スパッタ法があるが、プラズマCVD法でN-α-Siを増積する方法について説明する。堆積温度は、室温から約400℃の間に原料ガスはSiH₄に0.1%から1%のホスフィン(PH_3)を添加して、0.02μmから0.1μmの間に堆積する。

又、P-α-Siの場合には、SiH₄にジボラン(B_2H_6)を添加して堆積する。次にフォトリソ技術により、ソースとドレイン部分のみ残して他をエッチングして除去する。エッチング方法は、ドライエッチでもウェットエッチでもよいが、4フッ化メタン(CF₄)と酸素(O₂)との混合ガスによるプラズマエッチで容易にできる。次にビームエネルギー3で低抵抗半導体膜4を活性化し、より低抵抗化して、コンタクトを良好にする。

第1図(4)は、フォトリソ技術により再結晶半導体膜21をエッチングして素子分離を行い、酸素5雰囲気中でアニールを行う工程である。エッチング例は、前述のプラズマエッチングにより容易にできる。酸素アニールは400℃～600℃で30分以上行えばよく、一例としては550℃で1時間アニールすれば十分である。この酸素アニールにより、再結晶半導体膜21のチャネル部表面が厚く酸化されて、チャネル部の界面が改善される。

第1図(4)は、ゲート絶縁膜6を増設し、ソースとドレインのコンタクトホールをフォトリソ技術

特開昭63-250178(3)

で形成した後、ゲート電極7、ソース電極8、ドレイン電極9を形成する工程である。ゲート絶縁膜6は、各種CVD法、スパッタ法などで、シリコン酸化膜(SiO₂)やシリコン窒化膜(Si₃N₄)などが堆積できる。ここでは、SiO₂をプラズマCVD法で堆積する方法について説明する。堆積温度は室温から300℃の間で、原料ガスはSiH₄とN₂Oを主に使う。膜厚は、500Åから3000Åの間で堆積する。堆積後、真空雰囲気中で550℃、1時間のアニールを行い、ゲート絶縁膜の膜質を向上させる。次にソースとドレイン部分のコンタクトホールは、フォトリソ技術により形成した後、ゲート電極7、ソース電極8、ドレイン電極9を堆積する。堆積方法は、スパッタや蒸着法があり、材料もAl-Si、Mo-Si、W-Siなどの金属シリサイドがある。一例としては、マグネトロンスパッタ法でAl-Siを0.5μmから1μmで堆積する。

第2図(a)~(d)は、本発明の第2実施例の工程を示す断面図である。第1実施例との違いは、ソ-

ースとドレインの低抵抗領域41をイオン注入で製作する点である。一例としては、NチャネルTFTを製作する場合に、第2図(a)に示すようにリン(P)のイオン注入により、低抵抗領域41を形成する。他の工程は、第1実施例と同じである。

(発明の効果)

本発明は、ゲート絶縁膜6を堆積する前に、酸素アニールを行うことにより、チャネル部の界面が改善される。その効果は、第3図(a)、(b)に示すTFTのI_d-V_g特性からわかる。第3図(a)は、酸素アニールを行わない従来の方法で、V_{th}<0となっており、V_g=0でのI_dが10⁻¹¹Aと大きくなっている。酸素アニールを行った本発明の工程による特性は第3図(b)に示すようにV_{th}<0となり、V_g=0でのI_dが10⁻¹²Aと小さくなり、良い特性を示している。

4. 図面の簡単な説明

第1図(a)~(d)は本発明の第1実施例の工程を示す断面図、第2図(a)~(d)は本発明の第2実施例の

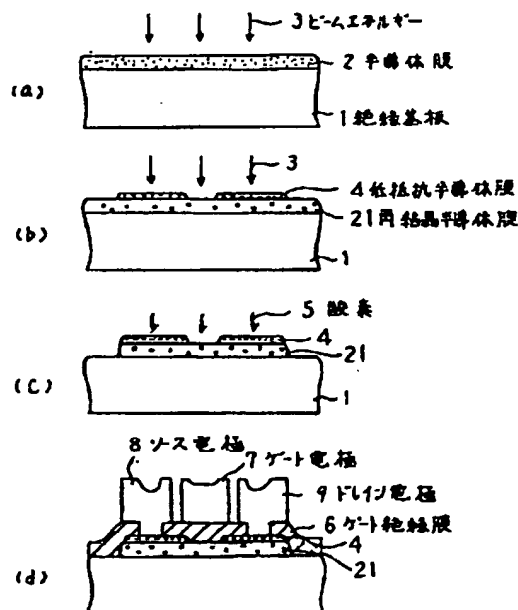
工程を示す断面図、第3図(a)、(b)は本発明と従来の工程によるTFTの特性を説明するための図面である。

- 1・・・絶縁基板
- 2・・・半導体膜
- 3・・・ビームエネルギー
- 4・・・低抵抗半導体膜
- 5・・・酸素
- 6・・・ゲート絶縁膜
- 7・・・ゲート電極
- 8・・・ソース電極
- 9・・・ドレイン電極
- 21・・・再結晶半導体膜
- 41・・・低抵抗領域

以上

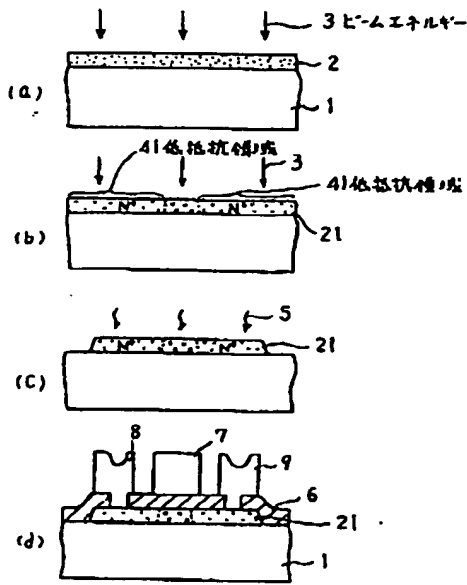
出願人 セイコー電子工業株式会社

代理人 弁理士 最上 務(他1名)

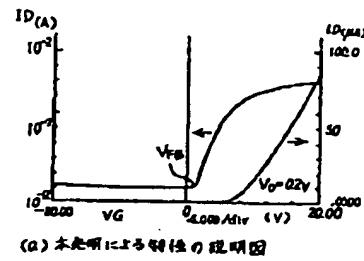


本発明の第1実施例の工程を示す断面図
第1図

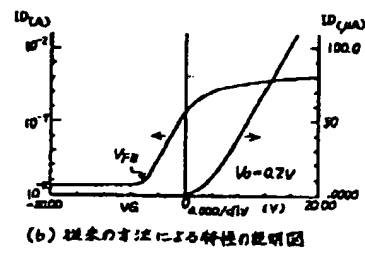
特開昭63-250178(4)



本発明の第2実施例の工程を示す断面図
第2図



(a) 本発明による特性の説明図



(b) 従来の方法による特性の説明図

製作したTFTのID-VG特性図
第3図